

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—195841

⑬ Int. Cl.³
H 01 L 21/76
21/20
29/78

識別記号

庁内整理番号
M 8122—5F
7739—5F

⑭ 公開 昭和59年(1984)11月7日

発明の数 1
審査請求 未請求

(全 11 頁)

⑮ 半導体装置の製造方法

⑯ 特 願 昭58—70427

⑰ 出 願 昭58(1983)4月21日

⑱ 発 明 者 前田哲

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社多摩川工場

⑲ 発 明 者 岩井洋

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑳ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 少なくとも一部の領域の不純物濃度が $10^{17}/\text{cm}^3$ 以上の半導体基体上に絶縁膜を形成した後、この絶縁膜を選択的にエッチング除去して素子分離領域を形成する工程と、この素子分離領域で分離された半導体基体上部分に単結晶半導体層を選択エピタキシャル成長により堆積して素子領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 少なくとも一部の領域の不純物濃度が $10^{17}/\text{cm}^3$ 以上の半導体基体上に絶縁膜を形成した後、この絶縁膜上の素子領域予定部を覆うスパークを形成する工程と、このスパークを含む絶縁膜上に被膜を堆積した後、該スパークを除去してその上の被膜部分をリフトオフして前記絶縁膜の素子分離領域予定部上に被膜を残存させる工程と、この残存被膜

をマスクとして前記被膜を選択的にエッチング除去して素子分離領域を形成する工程と、この素子分離領域で分離された半導体基体上部分に単結晶半導体層を選択エピタキシャル成長により堆積して素子領域とを形成する工程とを具備したことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 半導体基体は不純物濃度が $10^{17}/\text{cm}^3$ 以上の半導体基板と、この基板上に形成された不純物濃度が $10^{17}/\text{cm}^3$ 未満の単結晶半導体膜とからなるものであることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 絶縁膜を選択的にエッチング除去して素子分離領域を形成した後、露出した半導体基体表面を更にエッチングして溝部を形成することとを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(5) 絶縁膜を選択的にエッチング除去して素子分離領域を形成する工程において、絶縁膜をテープ状にエッチング除去してテープ状の側面

を有する素子分離領域を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(6) 素子分離領域の側面に半導体基体中の不純物と同導電型の不純物をドーピングすることとを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(7) 不純物のドーピングをイオン注入により行なうことを特徴とする特許請求の範囲第6項記載の半導体装置の製造方法。

(8) 絶縁膜として半導体基体中の不純物と同導電型の不純物を含むものを用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(9) 絶縁膜として SiO_2 膜を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(10) 素子分離領域の側面に多結晶シリコンパターンを選択的に形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方

法。

(11) 素子分離領域の側面に多結晶シリコンパターンを形成する工程を、素子分離領域を含む全面に多結晶シリコン膜を堆積した後、該多結晶シリコン膜を異方性エッチング法により全面エッチングして素子分離領域側面に多結晶シリコン膜を残存させることにより行なうことを特徴とする特許請求の範囲第10項記載の半導体装置の製造方法。

(12) 単結晶半導体層には半導体基体中の不純物と同導電型の不純物を含むことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(13) 単結晶半導体層には半導体基体中の不純物に対し逆導電型の不純物を含むことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置の製造方法に関し、特に

くは素子間分離工程を改良した半導体装置の製造方法に係る。

〔発明の技術的背景〕

周知の如く、半導体装置においては半導体基板の素子領域を分離するための素子分離領域（フィールド絶縁膜）を形成する工程が行なわれている。特に、最近の半導体装置の高密度化、高集積化に伴ないフィールド領域の微細化技術の確立等が要望されている。

ところで、従来の素子間分離法としては、一般に選択酸化法が採用されているが、フィールド酸化膜が素子領域に喰い込む、いわゆるバーズビーク等を生じ、微細化に向かない欠点があった。

このようなことから、本出願人は微細化技術に適した素子間分離法を提案した。これを、MOSトランジスタを例にして第1図(a)~(f)を参照し以下に説明する。

(i) まず、第1図(a)に示すように高抵抗のp型シリコン基板1を1000℃のウェット酸素雰

囲気中で熱酸化して例えば厚さ5000Åの熱酸化膜2（絶縁膜）を成長させた後、全面にフォトリソスト膜を塗布し、写真蝕刻法により素子領域を蝕うレジストパターン3を形成する。

(ii) 次に、レジストパターン3をマスクとしてフィールド反転防止用不純物である硼を加速電圧200keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で熱酸化膜2を通して基板1に選択的にイオン注入してp+型反転防止層4を形成した後、全面に厚さ2000ÅのAl被膜を真空蒸着する。この時、第1図(b)に示す如くレジストパターン3上のAl被膜5₁と熱酸化膜2上のAl被膜5₂とに分離される。つづいて、レジストパターン3を除去してその上のAl被膜5₁をリフトオフし、素子分離領域予定部の熱酸化膜2上にAl被膜5₂を残存させる（第1図(c)図示）。

(iii) 次に、残存Al被膜5₂をマスクとして熱酸化膜2を反応性イオンエッチング法により選択的にエッチングしてフィールド酸化膜（素子分離領域6を形成し、更に残存Al被膜5₂を

除去した(第1図(d)図示)。

(iv) 次に、熱酸化処理を施して露出した基板1表面にゲート酸化膜となる厚さ400Åの酸化膜を成長させ、更に全面に厚さ4000Åの磷ドーパ多結晶シリコン膜を堆積した後、反応性イオンエッチングによるパターンニングを行なってゲート電極7を形成し、ひきつづき同電極7をマスクとして酸化膜をエッチングしてゲート酸化膜8を形成する(第1図(e)図示)。つづいて、ゲート電極7及びフィールド酸化膜6をマスクとして砒素拡散を行なってシリコン基板1にn⁺型のソース、ドレイン領域9, 10を形成し、更に全面にCVD-SiO₂膜11を堆積し、コンタクトホールを開孔した後、Al膜の蒸着、パターンニングによりAl配線12, 13を形成してMOS型半導体装置を製造する(第1図(f)図示)。
〔背景技術の問題点〕

しかしながら、上述した方法にあっては次のような欠点があった。即ち、フィールド酸化膜6の形成後、熱酸化膜14を成長させ、磷ドー

パ多結晶シリコン膜15を堆積させ、更にレジスト膜16を被覆すると、第2図(a)に示す如く該レジスト膜16はフィールド酸化膜6の端部Aに対応する多結晶シリコン膜15の肩部で他の部分より厚くなる。その結果、露光後のレジスト膜16を現像処理すると、第2図(b)に示す如く、フィールド酸化膜6の端部にレジスト残り16'が生じ易くなるため、該レジスト残り16'を除去する目的でオーバー現像を行なわなければならない、レジストパターンの寸法コントロールが難しくなる。また、フィールド酸化膜6の形成後、熱酸化膜14を成長させ、更に磷ドーパ多結晶シリコン膜15を堆積すると、第3図(a)に示す如く平坦部では多結晶シリコン膜厚(t₁)は4000Åだが、フィールド酸化膜6端部の段差部ではその膜厚(t₂)は約9000Åになる。このため、形成すべきゲート電極の微細化を目的として多結晶シリコン膜15を反応性イオンエッチング法でエッチングすると、そのエッチングは表面から下方に向っての

み進行するため、第3図(b)に示す如く段差部に多結晶シリコンのエッチング残り17が生じ、ここで、1つの素子領域内に複数のMOSトランジスタを形成する場合はエッチング残りによりゲート電極間の短絡を招く。

更に、フィールド酸化膜6の形成後、CVD-SiO₂膜11を堆積し、Al配線12, 13を形成すると、第4図に示すようにフィールド酸化膜6端部における急峻な段差部の肩18でAl配線12, 13が断切れを起こし易くなる欠点がある。

〔発明の目的〕

本発明は高性能、高集積度で高信頼性の半導体装置を製造し得る方法を提供しようとするものである。

〔発明の概要〕

本発明は少なくとも一部の領域の不純物濃度が $10^{17}/\text{cm}^3$ 以上の半導体基体上に絶縁膜を形成した後、この絶縁膜を選択的にエッチング除去して素子分離領域を形成する工程と、この素子

分離領域で分離された半導体基体上部分に単結晶半導体層を選択エピタキシャル成長により堆積して素子領域を形成する工程とを具備したことを特徴とするものである。こうした方法によれば、簡単な工程で微細化された素子分離領域を形成できると共に、同素子分離領域表面と略同レベルの単結晶半導体層からなる素子領域を形成することにより該素子分離領域の端部付近でのレジスト残り、多結晶シリコン膜等のエッチング残り、Al配線等の断切れを防止でき、かつ半導体基体として高濃度(つまり低抵抗)のものを用いることにより素子分離領域下のチャンネルストップの形成工程を省略でき、更に低抵抗化により基体電流による基体電位の変動を抑制して既述の如く優れた性能を有する半導体装置を製造できる。

上記半導体基体としては、例えばp⁺型もしくはn⁺型の半導体基板、或いはこの基板上に単結晶の半導体膜を設けた構造のもの等を挙げることができ。

上記絶縁膜は素子分離領域の形成のために用いられる。かかる絶縁膜としては、例えば熱酸化膜、CVD-SiO₂膜、シリコン窒化膜、アルミナ膜等を挙げることができる。

〔発明の実施例〕

次に、本発明をMOS型半導体装置の製造に適用した例について図面を参照して説明する。

実施例1

〔I〕まず、面指数(100)の不純物としてボロンを $10^{17}/\text{cm}^3$ 以上(例えば $1 \times 10^{18}/\text{cm}^3$)含んだp⁺型シリコン基板101上にCVD法により2 μm のSiO₂膜(絶縁膜)102を成長させた。つづいて、全面にフォトリソist膜を塗布し、写真蝕刻法により素子分離領域予定部を被ったレジストパターン(マスクパターン)103を形成した(第5図(a)図示)。ひきつづき、レジストパターン103をマスクとして反応性イオンエッチングによりSiO₂膜102を選択エッチングして素子分離領域(フィールド酸化膜)104を形成した。その後、素子分離領域104

をエッチングしてゲート電極106を形成した。ひきつづき、同電極106をマスクとして酸化膜を選択エッチングしてゲート酸化膜107を形成した。つづいて、ゲート電極106及び素子分離領域104をマスクとして砒素拡散或いは砒素のイオン注入を行なってp型単結晶シリコンからなる素子領域105にn⁺型のソース、ドレイン領域108, 109を形成し、更に全面にCVD-SiO₂膜110を堆積し、コンタクトホールを開孔した後、AL膜の蒸着、パターンニングによりゲート取出しAL配線(図示せず)、ソース、ドレイン取出しAL配線111, 112を形成してnチャンネルMOS型半導体装置を製造した。

しかして、本発明によれば第5図(c)に示す如く素子分離領域104で分離されたシリコン基板101部分に該領域104表面と略同レベルのp型単結晶シリコンからなる素子領域105を形成できる。つまり、前述した第1図(a)~(f)に示す方法のように素子分離領域と素子領域となるシリコン基板との間の段差が生じることな

上のレジストパターン103を除去した(第5図(b)図示)。

〔II〕次いで、素子分離領域104と同厚さのp型単結晶シリコン(例えばボロンを $\approx 10^{15}/\text{cm}^3$ 含んだもの)を選択エピタキシャル成長した。この時、第5図(c)に示す如く素子分離領域104で分離された島状のシリコン基板101上部分のみに選択的に基板と同導電型のp型の単結晶シリコンが成長され、同単結晶シリコンからなる素子領域105が形成された。なお、以下に述べるソース、ドレイン領域等の形成に先立って、単結晶シリコンの素子領域105に閾値制御のために更にボロンをドーピングしてもよい。

〔III〕次いで、素子分離領域104で分離されたp型単結晶シリコンからなる素子領域106を熱酸化し、厚さ200Åの酸化膜を成長させ、更に全面に厚さ3000Åの隣ドーパ多結晶シリコン膜を堆積した後、写真蝕刻法により形成されたレジストパターンをマスクとして該多結晶シリコン膜を反応性イオンエッチング法でエッ

く、素子領域105を素子分離領域104に対して平坦化できる。このため、前記〔II〕工程において酸化膜成長、隣ドーパ多結晶シリコン膜の堆積後、レジスト膜塗布、写真蝕刻に際して、素子分離領域104の端部でレジスト残りが生じるのを回避でき、これによって寸法精度の良好なレジストパターンが形成可能となり、ひいては高精度のゲート電極106を形成できる。また、同〔III〕工程において、隣ドーパ多結晶シリコン膜を堆積し、これをレジストパターンをマスクとして反応性イオンエッチング法により選択エッチングする場合、素子分離領域104とp型単結晶シリコンからなる素子領域105とが同一レベルで平坦化されているため、素子分離領域104端部周辺の素子領域105に多結晶シリコンのエッチング残りが生じるのを防止できる。その結果、ゲート電極106とソース、ドレイン領域108, 109との間の短絡のない高信頼性のMOS型半導体装置を得ることができ。しかも、同〔III〕工程においてソース、ドレ

イン取出しAL配線111, 112を形成する際、素子分離領域104の端部で該AL配線111, 112が断切れするのを防止できる。

更に、素子分離領域の形成工程において、選択酸化法のようなパーズピークの発生はないため、素子分離領域104の微細化、ひいては素子領域105の寸法縮小を抑制でき、高集積度のMOS型半導体装置を得ることができる。

更に、高濃度のボロン($10^{18}/\text{cm}^3$)を含むp+型シリコン基板101を用いることにより、素子分離領域104下にチャンネルストップを自動的に形成でき、チャンネルストップの形成工程を省略できると共に、基板101の低抵抗化によって基板電位による基板電位の変動を抑制でき、ひいては閾値の変動の少ないMOS型半導体装置を得ることができる。

実施例2

(i) まず、面指数(100)の不純物としてボロンを $10^{17}/\text{cm}^3$ 以上(たとえば $1 \times 10^{18}/\text{cm}^3$)含んだp+型シリコン基板201上にCVD法により

(iii) 次に、素子分離領域205と同厚さのp型単結晶シリコンを選択エピタキシャル成長した。この時、第6図(e)に示す如く素子分離領域205で分離された島状のシリコン基板201上部分のみに選択的に基板201と同導電型のp型の単結晶シリコンが成長され、同単結晶シリコンからなる素子領域206が形成された。なお、以下に述べるソース、ドレイン領域等の形成に先立って、単結晶シリコンの素子領域206に閾値制御のために更にボロンをドーピングしてもよい。

(iv) 次に、実施例1と同様な方法により、ゲート電極、ゲート酸化膜、ソース、ドレイン領域等を形成してロチャンネルMOS型半導体装置(図示せず)を製造した。

本実施例2によれば、実施例1と同様な効果を有する他に、レジスト寸法と同寸法の微細化された素子分離領域を形成できる。

実施例3

(i) まず、 $10^{17}/\text{cm}^3$ 以上のボロン(例えば

たとえば $2 \mu\text{m}$ の SiO_2 膜(絶縁膜)202を堆積させた。つづいて、全面にフォトリソスト膜を塗布し、写真蝕刻法により素子領域予定部を覆ったレジストパターン(スパッタリング)203を形成した(第6図(a)図示)。

(ii) 次に、全面に厚さ 2000 \AA のAL被膜を真空蒸着した。この時、第6図(b)に示す如くレジストパターン203と SiO_2 膜202との段差により同パターン203上のAL被膜2041と、 SiO_2 膜202上のAL被膜2042とが不連続化して分離された。つづいて、レジストパターン203を除去してその上のAL被膜2041をリフトオフし、素子分離領域予定部の SiO_2 膜202上にAL被膜2042を残存させた(第6図(c)図示)。ひきつづき、残存AL被膜2042をマスクとして反応性イオンエッチングにより SiO_2 膜202を選択エッチングして素子分離領域(フィールド酸化膜)205を形成した。その後、素子分離領域205上の残存AL被膜2042を除去した(第6図(d)図示)。

$10^{19}/\text{cm}^3$)を含むp+型シリコン基板301上に例えば厚さ $3 \mu\text{m}$ で $10^{17}/\text{cm}^3$ 未満のボロン(例えば $10^{15}/\text{cm}^3$)を含むp型単結晶シリコン膜302をエピタキシャル成長させた(第7図(a)図示)。

(ii) 次に、実施例1と同様な方法によりp型単結晶シリコン層上に素子分離領域303を形成し、素子分離領域303で分離された島状のp型単結晶シリコン膜上部分にp型単結晶シリコンを選択エピタキシャル成長により堆積してp型単結晶シリコン層からなる素子領域304を形成した(第7図(b)図示)。以下、実施例1と同様な方法によりロチャンネルMOS型半導体装置(図示せず)を製造した。

しかして、本実施例3によればp+型シリコン基板301上にp型単結晶シリコン膜302を成長させた半導体基体を用いてるため、選択エピタキシャル成長後の熱処理工程時において基板301中のボロンが拡散して素子領域304としての単結晶シリコン層が高濃度化するのを前記p型単結晶シリコン膜302により防止で

きる。なお、p+型単結晶シリコン基板301上のシリコン膜は前記熱処理工程において第7図(b)に示す如くp+型単結晶シリコン膜302に変換される。但し、該シリコン膜全体がp+型に変換されない場合には、後熱処理によりp+型シリコン基板301から更にボロンを拡散すればよい。このようにすると共に、素子分離領域303下にチャンネルストッパを自動的に形成できると共に、素子領域304のボロン濃度の制御も容易となる。

実施例4

(i) まず、ボロンを $10^{16}/\text{cm}^2$ 含むp+型シリコン基板401上に実施例1と同様な方法により SiO_2 からなる素子分離領域402を形成した後、該素子分離領域402をマスクとして露出した島状の基板401の表面部分をエッチングして溝部403を形成した(第8図(a)図示)。

(ii) 次に、実施例1と同様、選択エピタキシャル成長により素子分離領域402で分離されたp+型シリコン基板401の溝部403にp

を形成した。次いで、素子分離領域502で分離された島状の基板上部分に選択エピタキシャル成長によりp型単結晶シリコン層を堆積して素子領域503を形成した(第9図図示)。

しかし、本実施例5によれば、素子分離領域502の上部の幅(a)が狭く細細パターンが可能となり、しかも素子分離領域502下部の幅(b)が広くフィールド寄生MOSトランジスタのショートチャンネル効果を防止できる。

実施例6

まず、p+型シリコン基板601上に SiO_2 からなる素子分離領域602を形成した後、全面に多結晶シリコン膜603をCVD法により堆積した(第10図(a)図示)。次いで、多結晶シリコン膜603を反応性イオンエッチング(RIE)によりその膜厚程度除去して素子分離領域602側面に多結晶シリコンを残存させて同側面に多結晶シリコンパターン604を形成した(第10図(b)図示)。

しかし、本実施例6によれば予め素子分離

型単結晶シリコン層を堆積して素子領域404を形成した(第8図(b)図示)。以下、実施例1と同様な方法によりnチャンネルMOS型半導体装置(図示せず)を製造した。

しかし、本実施例4によれば、選択エピタキシャル成長しうる基板401の領域に溝部403を形成することによって、エピタキシャル成長後に熱処理を施してp+型シリコン基板401からのボロン拡散を行なった場合、p型単結晶シリコン層(素子領域)404の下部及び側面のみならずp+型領域404、つまり素子分離領域402の反転防止領域を形成でき、p型単結晶シリコン層の上部にp型領域404を形成できる。

実施例5

まず、p+型シリコン基板501に SiO_2 膜をCVD法により堆積した後、この SiO_2 膜の素子分離領域予定部にレジストパターンを形成し、これをマスクとして SiO_2 膜をテーパ状にエッチングして側面がテーパ状をなす素子分離領域502

領域602の側面に多結晶シリコンパターン604が形成されているため、素子分離領域602で分離された島状の基板601上部分にp型単結晶シリコン層(素子領域)を選択エピタキシャル成長させる際、該p型単結晶シリコン層を素子分離領域602側面に対して密着性よく形成できる。また、p型単結晶シリコン層(素子領域)形成後に熱処理を施した場合、素子分離領域602側面の多結晶シリコンパターンは単結晶シリコンに比べて不純物の拡散が速いためp+型シリコン基板601中のボロンを多結晶シリコンパターン604のみに拡散でき、これを反転防止層として利用できる。

なお、上記実施例1～6において、ボロンをドーピングした SiO_2 からなる素子分離領域を形成した後、選択エピタキシャル成長によりp型単結晶シリコン層を形成し、ひきつづき熱処理を施すことにより、該素子分離領域中のボロンをこの側面と接する単結晶シリコン層に拡散させてp+型の反転防止層を形成してもよい。この場合、

ボロンドープ SiO_2 からなる素子分離領域を形成する方法としては、ボロンドープ SiO_2 膜をパターンニングする方法、ノンドープ SiO_2 からなる素子分離領域の側面のみをボロンをイオン注入する方法が挙げられる。特に、後者方法において、素子分離領域の形状が第9図に示す如く側面がテーパ状をなす場合にはイオン注入を斜めに入射させる必要なく、垂直に入射させればよいため、工程が簡単になる。また、p+型シリコン基板上に素子分離領域を形成後、単結晶シリコン層を薄く途中まで成長させた段階でボロンのイオン注入を行えば、直接的に素子分離領域側面の単結晶シリコン層にボロンを添加することができる。

上記実施例では素子領域となるp型単結晶シリコン層を素子分離領域と同厚さとなるように選択エピタキシャル成長させたが、これに限定されない。例えば第11図に示す如く素子分離領域702の厚さより厚くp型単結晶シリコン層を選択エピタキシャル成長させて素子領域

として高濃度、つまり低抵抗のものを用いることにより素子分離領域下のクロンネルストップの形成工程を省略でき、かつ基板電流による基板電位の変動を抑制した高性能、高集積度で高信頼性の半導体装置を製造し得る方法を提供できる。

4. 図面の簡単な説明

第1図(a)~(f)は本出願人が既に提案した方法によるMOS型半導体装置の製造工程を示す断面図、第2図(a),(b)は前記方法による欠点の1つであるレジスト残りが生じることを説明した断面図、第3図(a),(b)は前記方法の他の欠点である多結晶シリコンのエッチング残りが生じることを説明した断面図、第4図は前記方法の更に他の欠点であるAL配線の断切れを説明した断面図、第5図(a)~(d)は本発明の実施例1におけるnチャネルMOS型半導体装置の製造工程を示す断面図、第6図(a)~(e)は本発明の実施例2におけるnチャネルMOS型半導体装置の製造工程の1部を示す断面図、第7図(a),(b)は本発明

703を形成してもよく、或いは第12図に示す如く素子分離領域802の厚さよりも薄く単結晶シリコン層を選択エピタキシャル成長させて素子領域803を形成してもよい。

上記実施例においてp+型シリコン基板の代りにサファイアなどの単結晶絶縁基板を用いてもよい。

本発明は上記実施例の如くnチャネルMOS型半導体装置の製造のみに限らず、pチャネル、相補型のMOS半導体装置、MNOS、MAOS、MES型半導体装置、或いはECL、I²L等の製造にも同様に適用できる。

〔発明の効果〕

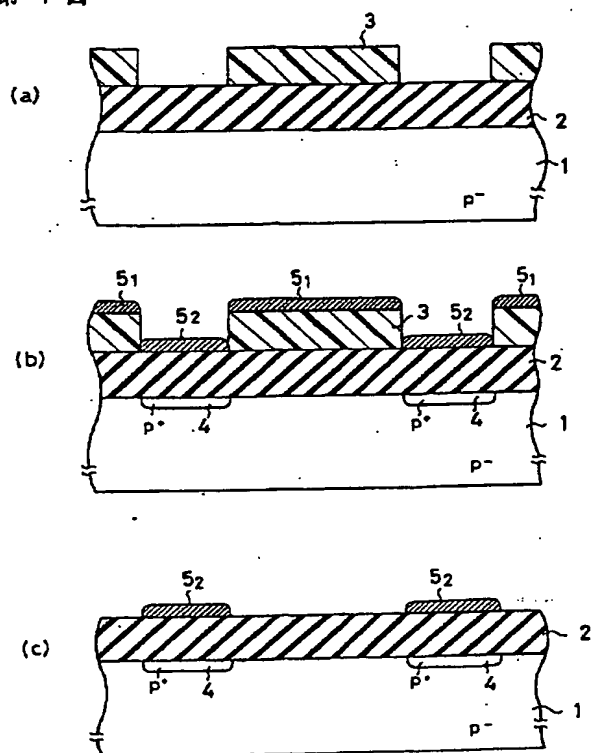
以上詳述した如く、本発明によれば簡単な工程で微細な素子分離領域を形成できると共に、同素子分離領域の表面と略同レベルの単結晶シリコンからなる素子領域を形成することにより素子分離領域端部周辺でのレジスト残り、ゲート電極材料等のエッチング残りやAL配線の断切れを防止でき、更に半導体基体(半導体基板)

の実施例3における同半導体装置の製造工程の1部を示す断面図、第8図(a),(b)は本発明の実施例4における同半導体装置の製造工程の1部を示す断面図、第9図は本発明の実施例5によりテーパ状の側面を有する素子分離領域で分離された基板上部分に素子領域を形成した状態を示す断面図、第10図(a),(b)は本発明の実施例6における同半導体装置の製造工程の1部を示す断面図、第11図及び第12図は夫々本発明の他の実施例における素子分離領域で分離された基板上部分に素子領域を形成した状態を示す断面図である。

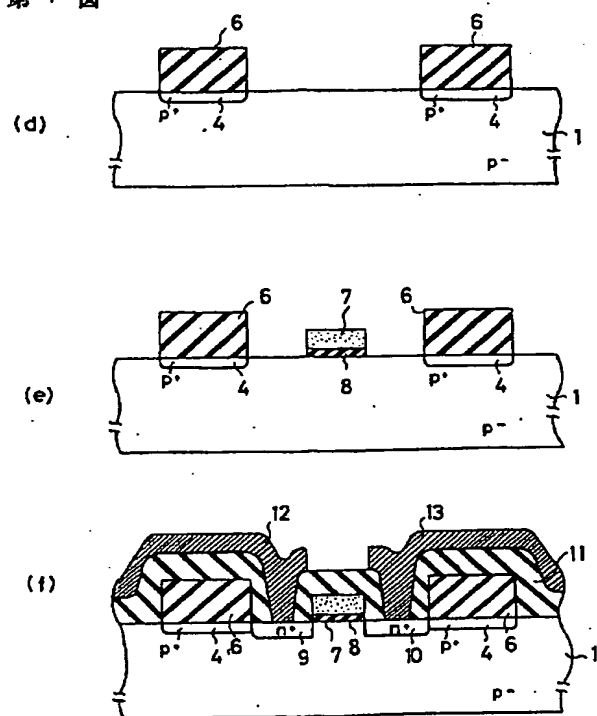
101, 201, 301, 401, 501, 601, 701, 801... p+ 型シリコン基板、102, 202... SiO_2 膜、104, 205, 303, 403, 502, 602, 702, 802...素子分離領域(フィールド領域)、105, 206, 304, 404, 503, 703, 803...素子領域(p型単結晶シリコン層)、106...ゲート電極、108...n+型ソース領域、109...n+型ドレイン領域、111, 112...AL配線、604

出願人代理人 井理士 鈴 江 武 彦

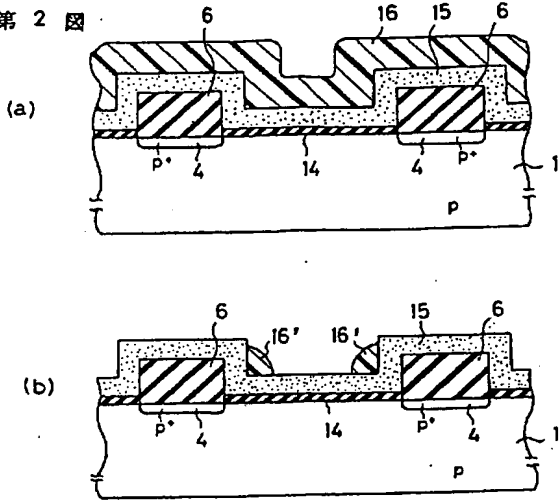
第 1 図



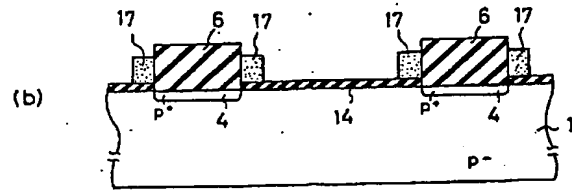
第 1 図



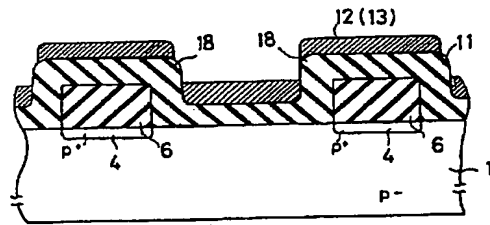
第 2 図



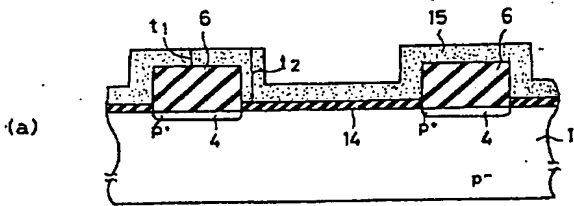
第 3 図



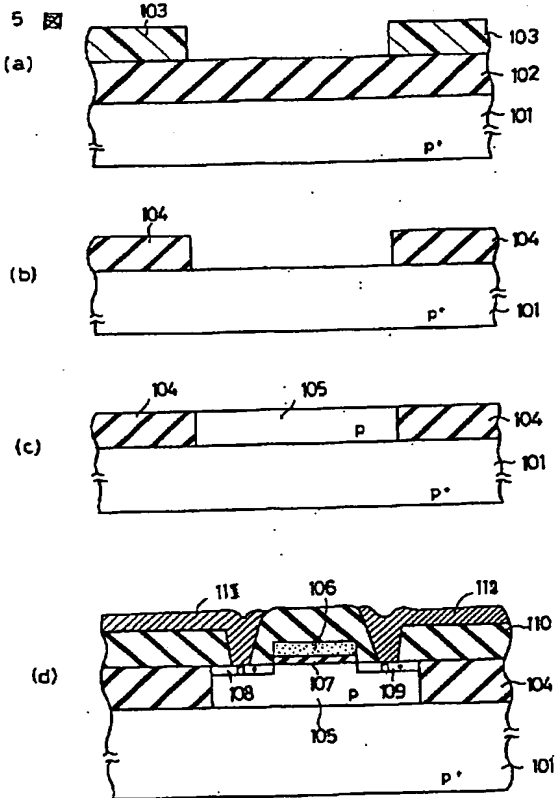
第 4 図



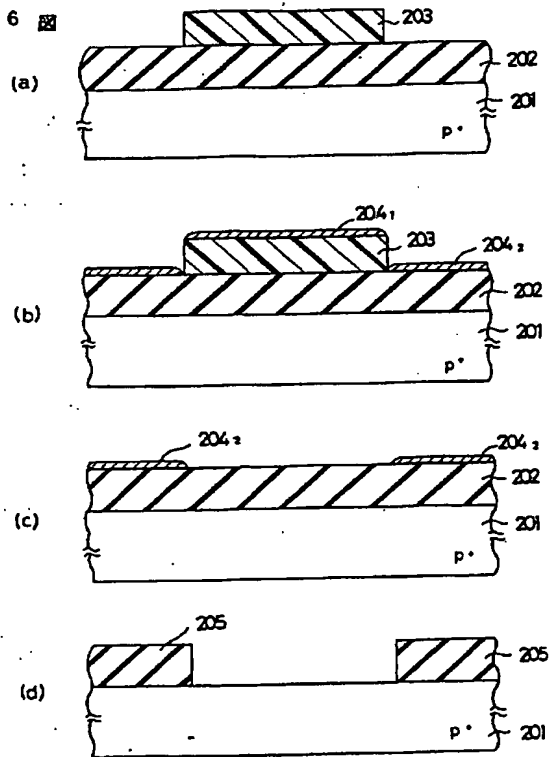
第 3 図

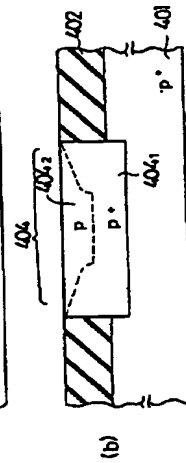
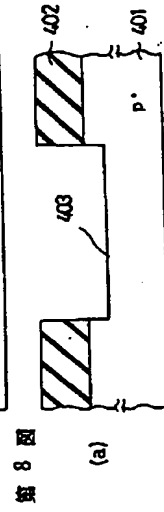
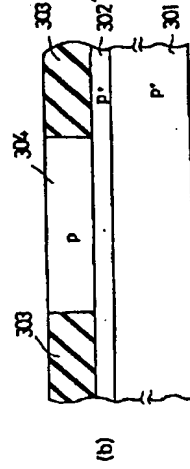
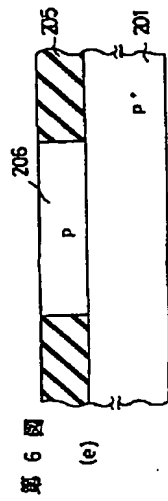


第 5 図

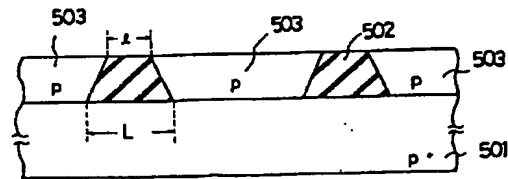


第 6 図

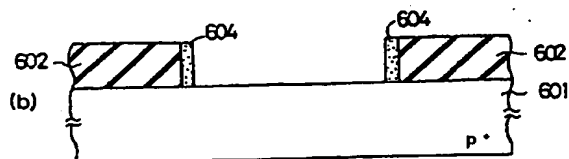
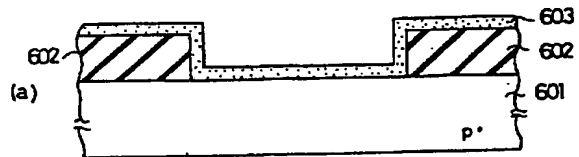




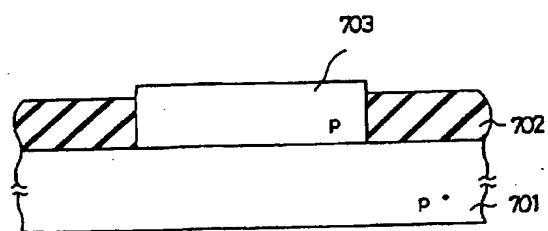
第 9 図



第 10 図



第 11 図



第 12 図

